Министерство образования Республики Беларусь

Учреждение образования

БелорусскиЙ государственный университет

информатики и радиоэлектроники

Факультет компьютерных систем и сетей

Кафедра программного обеспечения информационных технологий

Отчет по лабораторной работе № 1

по предмету

Аппаратное обеспечение компьютерной техники на тему:

Исследование работы комбинационных и последовательных цифровых устройств

Вариант 5

|  |  |  |
| --- | --- | --- |
| Выполнил  Студент гр. 951007 |  | М.А. Воривода |
| Проверила |  | О. Н. Образцова |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

Минск, 2020

**Задание**

1. Шифратор;
2. Синхронный RS-триггер;
3. Параллельный регистр (4 разряда);
4. Последовательный регистр сдвига вправо (4 разряда).

**Шифратор**

Шифратор – это устройство, преобразующее m- разрядный позиционный код в n- разрядный двоичный код.

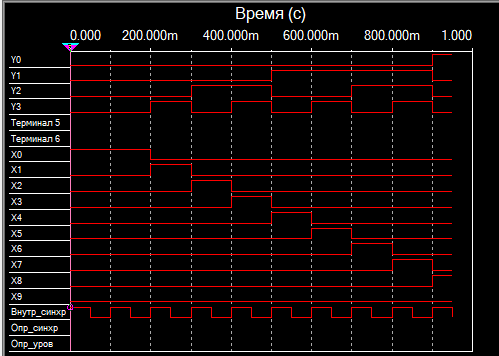
Таблица истинности и СДНФ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Y0 | Y1 | Y2 | Y3 |
| X0 | 0 | 0 | 0 | 0 |
| X1 | 0 | 0 | 0 | 1 |
| X2 | 0 | 0 | 1 | 0 |
| X3 | 0 | 0 | 1 | 1 |
| X4 | 0 | 1 | 0 | 0 |
| X5 | 0 | 1 | 0 | 1 |
| X6 | 0 | 1 | 1 | 0 |
| X7 | 0 | 1 | 1 | 1 |
| X8 | 1 | 0 | 0 | 0 |
| X9 | 1 | 0 | 0 | 1 |
|  | | | | |
| Y0 = X8 + X9 | | |
| Y1 = X4 + X5 + X6 +X7 | | |
| Y2 = X2 + X3 + X6 + X7 | | |
| Y3 = X1 + X3 + X5 + X7 + X9 | | |

Схема Multisim



Временная диаграмма Multisim



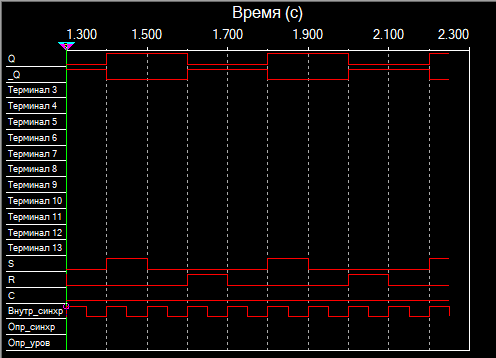
**Синхронный RS-триггер**

Синхронный RS-триггер – триггер, который сохраняет своё предыдущее состояние при неактивном состоянии обоих входов и изменяет своё состояние при подаче на один из его входов активного уровня. Синхронный триггер реагирует на информационные входы только в такт синхроимпульса.

Схема Multisim



Временная диаграмма Multisim



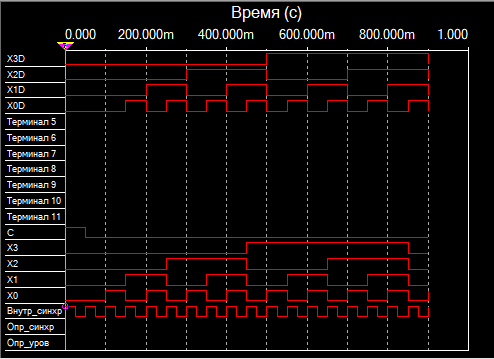
**Параллельный регистр (4 разряда)**

Параллельный регистр (4 разряда) – набор триггер, служащий для запоминания многоразрядного двоичного (или недвоичного) слова.

Схема Multisim



Временная диаграмма Multisim



**Последовательный регистр сдвига вправо (4 разряда)**

Последовательный регистра сдвига вправо (4 разряда) – предназначен для выполнения операций сдвига вправо двоичной информации под действием внешних синхроимпульсов.

Схема Multisim



Временная диаграмма Multisim

